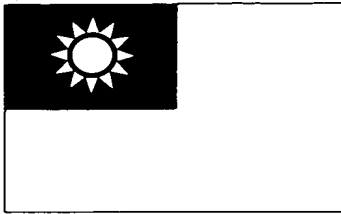


#2
Priority
paper
6-9-03
Patent



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 08 月 01 日
Application Date

申請案號：091117385
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2002 年 9 月 16 日
Issue Date

發文字號：09111017832
Serial No.

申請日期：	案號：
類別：	
(以上各欄由本局填註)	

發明專利說明書

一、 發明名稱	中 文	根據初始狀態開除多餘之時脈觸發以減少功率消耗之狀態機、計數器及相關方法
	英 文	State Machine, Counter And Related Method For Gating Redundant Triggering Clocks According To Initial State
二、 發明人	姓 名 (中文)	1. 陳永暉 2. 洪珊婷
	姓 名 (英文)	1. Chen, Yung-Huei 2. Hong, Shan-Ting
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北縣新店市中正路五三三號八樓 2. 台北縣新店市中正路五三三號八樓
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路535號8樓
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1. Wang, Hsueh-Hung



四、中文發明摘要 (發明之名稱：根據初始狀態閘除多餘之時脈觸發以減少功率消耗之狀態機、計數器及相關方法)

本發明提供一種狀態機 (state machine)、計數器及相關裝置與方法。本發明中之狀態機設有複數個狀態單元及一時脈閘除 (gating) 電路，各狀態單元用來接收一時脈之觸發以產生對應的遞變狀態輸出，該時脈閘除電路則用來根據一初始狀態選擇性地將一觸發時脈不提供至該複數個狀態單元中的某些狀態單元，使得當其他狀態單元受該觸發時脈觸發而更新對應之狀態輸出時，該等狀態單元不會受觸發而改變對應之狀態輸出。

英文發明摘要 (發明之名稱：State Machine, Counter And Related Method For Gating Redundant Triggering Clocks According To Initial State)

A state machine, a counter and related method for gating redundant triggering clocks according to the initial states. The state machine includes a plurality of state units and a clock gating circuit. Each of the state unit is triggered by a clock to generate a corresponding varying state, and the clock gating circuit is capable of selectively stopping providing a triggering clock to at least one state unit according only to an initial state, such that the selected state



四、中文發明摘要 (發明之名稱：根據初始狀態開除多餘之時脈觸發以減少功率消耗之狀態機、計數器及相關方法)

英文發明摘要 (發明之名稱：State Machine, Counter And Related Method For Gating Redundant Triggering Clocks According To Initial State)

unit(s) will not be triggered by the triggering clock while the rest of the state units are triggered by the triggering clock to update their corresponding states.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

發明之領域：

本發明係提供一種計數器、狀態機與相關方法，尤指一種具有複數個狀態單元、並能根據一初始狀態而選擇性地停止將時脈提供至狀態不會變化之狀態單元以節省功率消耗之計數器、狀態機與相關方法。

背景說明：

各式各樣的微處理機系統，已成為現代資訊裝置中不可或缺的基礎；一個基本的應用積體電路 (ASIC) 就可視為一基本的微處理機系統，而架構完整的電子產品，如手機、個人數位助理器 (PDA) 或是個人電腦，更是組合了許多微處理機系統，以組織出多樣的數據處理功能。在微處理機系統中，常要以時脈觸發之序向 (sequential) 控制的方式，來協調微處理機系統中各個不同構築方塊在不同的時間發揮特定的功用，以完成整個微處理機系統特定的功能。舉例來說，若一微處理機系統要完成某功能時，要先由該微處理機系統中的甲電路處理資料，再傳至乙電路，由乙電路繼續完成後續的資料處理。此時微處理機系統就可利用序向控制的方式，先觸發甲電路開始處理資料，並循序觸發甲電路將處理完之資料傳輸至乙電路，接者再觸發乙電路接收資料、開始進一步處理資料等等。藉由序向控制之觸發，就能協調微處理機系統中各個構築方塊先後

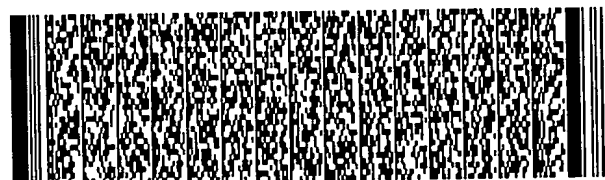


五、發明說明 (2)

運作的順序，完成微處理機系統應盡之功能。

當一微處理機系統要使用序向控制時，會以一狀態機 (state machine) 來依據一時脈的觸發，產生出依預設順序遞變的狀態，並以這些狀態來觸發微處理機系統中其他的構築方塊來依序進行不同的功能。請參考圖一。圖一為一習知狀態機 10 之功能方塊圖。狀態機 10 中設有複數個狀態單元 12 (圖一中繪出三個做為代表)，各狀態單元 12 中設有一序向邏輯 (sequential logic) 電路 14 及一組合邏輯 (combinational logic) 電路 16。一般來說，每個狀態單元能產生一位元 (bit) 的狀態位元 18 作為該狀態單元對應的狀態輸出，集合狀態機 10 中各狀態單元產生的狀態位元 18，就能組合為一數位資料形式的多位元狀態 20。為了協調各狀態單元之統一運作，狀態機 10 中會以一時脈 CLK0 做為一觸發之時脈來觸發各狀態單元運作。時脈 CLK0 中具有複數週期的脈衝 (pulse)，每一週期的脈衝會觸發狀態機 10 更新其狀態 20。

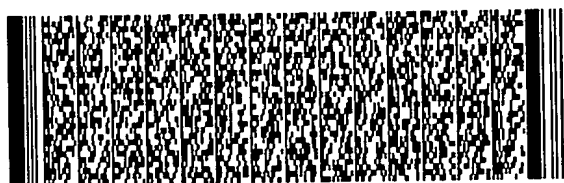
在各個狀態單元 12 中，序向邏輯電路 14 通常為一正反器 (flip-flop)，其設有一用來接收輸入資料的輸入埠 D0、一用來輸出狀態位元的輸出埠 Q0、一設定埠 S0 及一時脈端 T0。序向邏輯電路 14 能由時脈端 T0 接受時脈 CLK0 的觸發，在時脈 CLK0 的每個週期中由其輸入埠 D0 接收輸入資料，並由其輸出埠 Q0 輸出更新後的狀態位元 18。序向邏輯



五、發明說明 (3)

電路 14 的運作特性，是當其在時脈 CLK0 的某一週期中輸出一更新後之狀態位元 18 時，該狀態位元 18 不僅與輸入埠 D0 接收之輸入資料有關，也和輸出埠 Q0 在前一週期輸出的狀態位元 18（也就是更新前的狀態位元 18）有關。換句話說，序向邏輯電路 14 能「記憶」之前輸出的狀態位元。此外，序向邏輯電路 14 中的設定埠 S0 則用來接收一初始狀態 22，使序向邏輯電路 14 能根據該初始狀態，將輸出埠 Q0 輸出的狀態位元設定為一特定的初始值；當序向邏輯電路 14 接受時脈 CLK0 後續各週期脈衝之觸發後，其輸出埠 Q0 輸出之狀態位元 18 就會由該特定的初始值開始依序變化更新。各個狀態單元 12 中的組合邏輯電路 16 則通常由各種邏輯閘所組成，以依據狀態 20 來產生對應序向邏輯電路 14 的輸入資料。

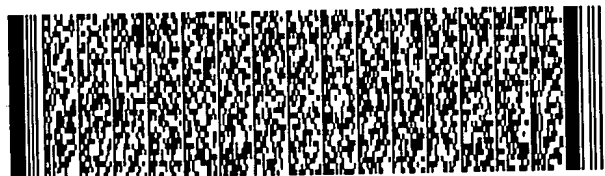
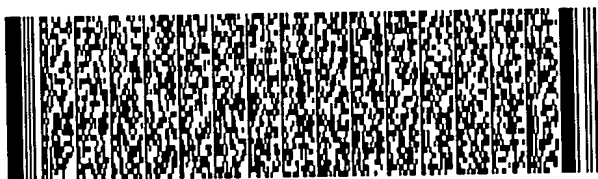
狀態機 10 的運作原理可描述如下。當狀態機 10 要開始運作時，會將初始狀態 22 傳輸至各個狀態單元 12，使得各狀態單元 12 輸出的狀態 20 為特定之初始值；隨著時脈 CLK0 中各週期脈衝之觸發，各狀態單元 12 會更新各自的狀態位元 18，狀態 20 也就隨之更新。在時脈 CLK0 的某一週期中，該週期對應的狀態 20 會經由各狀態單元 12 中的組合邏輯電路 16 產生對各個序向邏輯電路 14 的輸入資料；到了下一個週期時，各狀態單元 12 就能依據組合邏輯電路 16 的輸入資料（也就是依據前一週期的狀態 20），再加上各序向邏輯電路 14 本身的「記憶」功能，來更新狀態 20。電路設計者



五、發明說明 (4)

只要設計各狀態單元 12 中的組合邏輯電路，就能使狀態機 10 在時脈 CLK0 的觸發下，依照特定的順序更新狀態 20 之內容。

在微處理機系統中，計數器 (counter) 可說是狀態機的一種特例。請參考圖二。圖二為一習知之倒數 (counting down) 二元 (binary) 計數器 30 的功能方塊示意圖。在圖二的示意例中，計數器 30 設有複數個狀態單元 (圖二中繪出四個做為代表) 31 及一輔助電路 35，而此四個狀態單元即分別用來產生位元 B1 至 B4，並形成計數器 30 的狀態 36 (也就是計數器 30 的計數值)；換句話說，位元 B1 至 B4 就分別是計數器 30 中各狀態單元 31 的狀態位元。而輔助電路 35 則能在接收一初始值致能訊號 EN1 後，根據初始狀態 34 設定各狀態單元對應狀態位元的初始值，並在接收一計數致能訊號 EN2 後，將一作為觸發時脈的時脈 CLK 統一傳輸至各個狀態單元 31。在各狀態單元 31 中，正反器 32 作為各狀態單元的序向邏輯電路，及閘 (AND gate) 37 則組合出各個狀態單元 31 中的相異組合邏輯電路。其中正反器 32 可以是 T 正反器，輸入端 T 為其輸入埠，分別用來輸出兩互為反相之位元的輸出端 Q、Q' 則為其輸出埠；設定端 S 為其設定埠，用來接收輔助電路 35 的初始狀態設定，以設定各序向邏輯電路的對應狀態位元之初始值；而時脈端 CK 則用來接收時脈 CLK 的觸發。



五、發明說明 (5)

當一微處理機系統要使用習知之計數器 30來計數時，會在計數開始之前先以初始值載入致能訊號 EN1來觸發輔助電路 35，以根據初始狀態 34設定各狀態單元 31對應狀態位元的初始值；要開始計數時，就會以計數致能訊號 EN2觸發輔助電路 35將時脈 CLK統一傳輸至各狀態單元 31，計數器 30就會根據時脈 CLK之觸發開始計數了。

請參考圖三（並同時參考圖二）。在計數器 30中，經由各狀態單元中組合邏輯電路之設計，計數器 30之狀態 36隨時脈 CLK之觸發而依序改變的情形，即示於圖三。圖三之縱軸即為時間；波形 38則是時脈 CLK隨時間變化的波形（波形 38之橫軸即為波形之大小）。如圖三所示，時脈 CLK中具有複數個週期的脈衝，每一週期之時間長短為時段 T；隨著時脈 CLK中的週期 T1、T2、T3等等之觸發，由位元 B1至 B4組合出的狀態 36，也會由「1 1 1 1」、「1 1 1 0」、「1 1 0 1」等等依序變化，就如圖三中所示。換句話說，若把狀態 36當作是計數器 30的計數值，圖三中的狀態 36就會由「1 1 1 1」開始倒數，直到「0 0 0 0」。

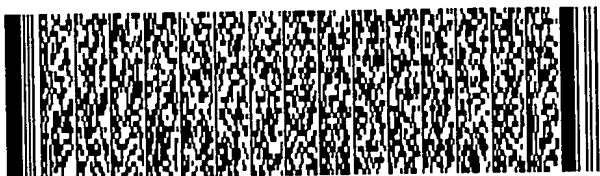
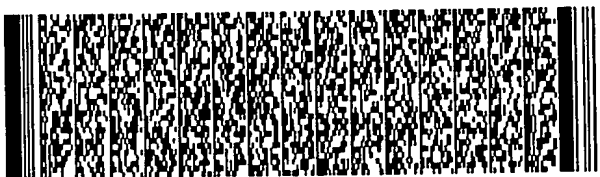
計數器在微處理機及電腦系統中有很廣泛的用途。舉例來說，參照圖二、圖三的計數器 30，若微處理機中的某一第一構築方塊要每隔一段特定的時間（譬如說是 16個時脈週期的時間）就發出一特殊的指令給另一個第二構築方塊，第一構築方塊就可以設定計數器 30由某個初始之計數



五、發明說明 (6)

值開始倒數（像是由圖三中的「1 1 1 1」開始），等數到某一計數值之後（譬如說是圖三中的「0 0 0 0」），第一構築方塊就知道時間已經經過了多少個時脈週期，並可依照計數值的指示來發出該特殊的指令。另外，舉例來說，若微處理機中某一第一構築方塊要傳輸特定數量筆資料（譬如說是16筆）至另一第二構築方塊，第一構築方塊就可以隨著每一筆資料的傳輸觸發計數器30一次，等到計數器30的計數值由「1 1 1 1」倒數至「0 0 0 0」，第一構築方塊就知道已經傳輸了16筆資料了。

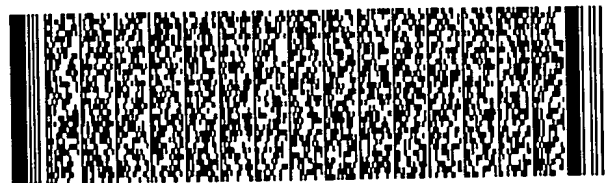
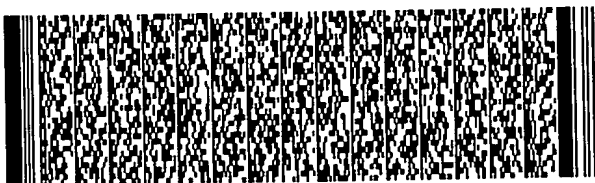
為了要使微處理機系統更具有功能上的彈性，在各構築方塊利用計數器時，只要對計數器設定不同的初始計數值，就能彈性的運用計數器來定量計數。延伸前述的例子，若第一構築方塊原本要每隔16個時脈週期的時間就發出一特殊的指令，但因運作上的需求，要改為每隔8個時脈週期就發出一特殊指令，此時第一構築方塊就可將計數器30的初始狀態設為「0 1 1 1」，並由「0 1 1 1」開始倒數，同樣地，當數到「0 0 0 0」後，第一構築方塊就知道已經經過8個週期的時間了，就如圖四中所示。請參考圖四；圖四即為計數器30之狀態36由計數值「0 1 1 1」一直倒數至「0 0 0 0」時狀態遞變的示意圖，圖四之縱軸為時間。同理，若第一構築方塊要傳輸在傳輸16筆資料後，又要傳輸4筆資料，那麼第一構築方塊可將計數器的初始狀態設為「0 0 1 1」，並隨著每筆資料的傳輸由



五、發明說明 (7)

「0 0 1 1」、「0 0 1 0」、「0 0 0 1」同樣地也是倒數至「0 0 0 0」，此時第一構築方塊就能由計數值回到「0 0 0 0」而知道已經傳輸了4筆資料。而一般的狀態機也能達成類似的功能。

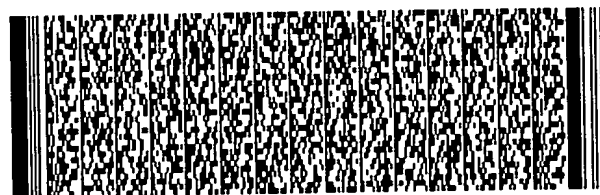
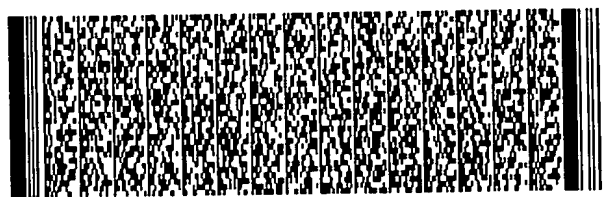
不過，在以上述的方式來彈性地運用計數器時，某些狀態單元會一直維持相同的狀態而不改變。舉例來說，在圖四的例子中，當計數器30被用來數出8時（就是8個週期脈衝），用來產生位元B4的狀態單元就一直不會改變其狀態輸出，使得位元B4一直為「0」。同理，若只要用計數器30來數出4，就只有位元B2、B1對應的狀態單元會運作而更新位元B2、B1之值，位元B4、B3對應的狀態單元並不會隨時脈的觸發而改變位元B4、B3的值。更進一步地，若要增加計數器的使用彈性，可增加計數器中計數單元的個數，使得計數器的狀態（也就是計數值）能具有更多的狀態位元。舉例來說，一個具有8位元的計數器，在由「1 1 1 1 1 1 1 1」倒數至「0 0 0 0 0 0 0 0」的過程中會經過256個時脈週期，而該計數器使用的彈性也會更大，可經由對初始狀態的控制數出1到256中任何一個數目。不過，同樣地，在以8位元計數器來數出少於256之數目時，該計數器中也會有狀態不改變的狀態單元；要數出的數目越小，狀態不改變的狀態單元也會越多。若是以8位元計數器用來數出8時，就會有5個狀態單元不會改變狀態；用來數出4時，則會有6個狀態單元不會改變狀態。同理，在



五、發明說明 (8)

彈性運用狀態機時，也會發生類似的情況；也就是說，有某些狀態單元之狀態輸出會維持不變。

不過，如圖一或圖二中所示，因為狀態機或計數器中的各個狀態單元都要同步協調運作，所以習知技術中各狀態單元都會統一由一時脈觸發；即使有某一狀態單元不會改變狀態，該時脈還是要驅動該狀態單元。一般來說，在現行技術下，狀態單元都是以互補金氧半電晶體 (CMOS) 來實際實現，像是狀態單元中會接收時脈觸發的序向邏輯電路，也都是由互補金氧半電晶體實現的。請參考圖五。圖五為一典型互補金氧半電晶體所實現的邏輯閘 40。邏輯閘 40 以偏壓源 V_d 及地端 G 作為直流偏壓，其中 n 型金氧半電晶體 $M1$ 、 $M2$ 的閘極分別電連於節點 $N1$ 、 $N2$ ，p 型金氧半電晶體 $M3$ 、 $M4$ 的閘極亦分別電連於節點 $N1$ 、 $N2$ ，以分別接受位元 A 及位元 B 之輸入；輸出之位元 C 則由節點 $N3$ 取出，以實現一反及閘 (NAND) 的功能。當輸入之位元 A 為一在數位「0」、「1」交替的時脈，而位元 B 為固定之數位「0」時，輸出之位元 C 不會隨位元 A 之改變而改變，並會一直維持於數位「1」。在這種情況下，雖然邏輯閘 40 輸出之位元 C 不會改變，但驅動位元 A 在數位「1」、「0」（也就是高低位準間）間互換時，還是要消耗功率。由於金氧半電晶體之閘極等效上可視為一個電容，當要將位元 A 由數位「0」提升為數位「1」時，就要消耗能量來對電晶體 $M1$ 、 $M3$ 的閘極充電；當要將位元 A 由數位「1」拉低至數位



五、發明說明 (9)

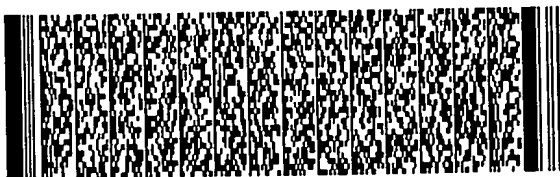
「0」時，同樣地也要消耗能量來對電晶體 M1、M3 的閘極放電。換句話說，即使一狀態單元的狀態輸出不隨時脈的觸發而改變，但是由邏輯閘組成的狀態單元還是會消耗時脈的驅動能量。

換句話說，在彈性利用上述討論的習知計數器或狀態機時，僅會利用到一部份的狀態單元，其他多餘的狀態單元則不會改變其狀態輸出。但當時脈驅動計數器或狀態機中的各個狀態單元時，狀態不變之狀態單元還是會消耗時脈驅動之能量，舉例來說，當圖二中之計數器 30 用來以圖四中的方式數出 8 時，位元 B4 不會改變，但位元 B4 對應的狀態單元還是會持續地消耗時脈的驅動能量。這樣一來，不僅平白增加微處理機系統的功率消耗，對於微處理系統晶片之電路集積度之提升，也會有不良的影響。

發明概述：

因此，本發明之主要目的在於提供一能依據初始狀態判斷有哪些狀態單元不會改變狀態並停止供應時脈至這些狀態單元的狀態機及相關應用、方法，以克服習知技術之缺點。

在習知的狀態機或計數器中，各個用來產生遞變狀態的狀態單元會統一以一時脈觸發；即使在狀態遞變的過程



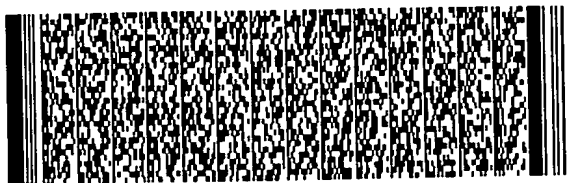
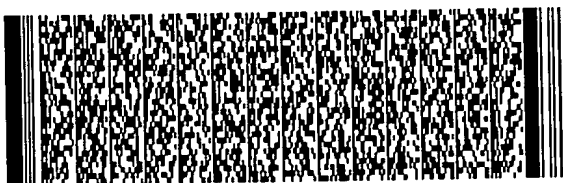
五、發明說明 (10)

中某些狀態單元會一直維持同樣的狀態輸出，時脈還是要耗費功率來驅動這些狀態單元。因此習知技術之狀態機或計數器無法避免這些狀態單元消耗功率帶來的負面影響，包括浪費能量、增加系統驅動時脈的負擔等等。

而在本發明之狀態機或計數器中，則另設有一時脈開除電路，能依據初始狀態來判斷在後續狀態遞變的過程中有哪些狀態單元之狀態輸出會維持不變，並停止將時脈傳輸至這些狀態單元，使得時脈不需驅動這些狀態輸出不會改變的狀態單元，以減少系統驅動時脈的負擔及能量消耗。

發明之詳細說明：

請參考圖六。圖六為本發明中狀態機 50 之功能方塊示意圖。類似於圖一中習知狀態機 10，狀態機 50 也設有複數個狀態單元 52（圖六中繪出三個做為代表），用來依據時脈的觸發而產生遞變的狀態位元 58 作為狀態輸出。結合各狀態單元 52 產生的狀態位元 58 就形成狀態機 50 產生的狀態 60。各狀態單元 52 中設有一序向邏輯電路 54 及一組合邏輯電路 56。其中各個序向邏輯電路 54 對應地設有一輸入埠 D1、一輸出埠 Q1、一設定埠 S1 及一時脈端 T1。序向邏輯電路 54 依據輸入埠 D1 的輸入資料與時脈端 T1 所接收的時脈觸發，就能在輸出埠 Q1 輸出隨時脈遞變的狀態位元 58。依據

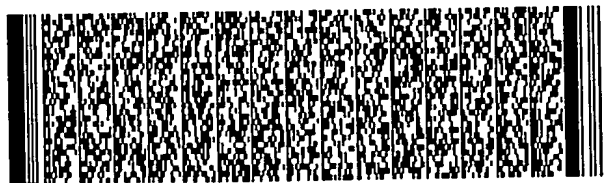
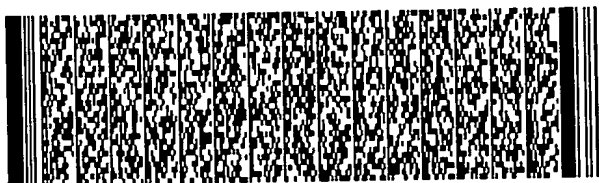


五、發明說明 (11)

設定埠 S1傳入的初始狀態 62，序向邏輯電路 54就能設定狀態位元 58的初始值。

本發明與習知狀態機最主要的不同處，在於本發明中增設有一時脈閘除電路 66，用來依據初始狀態 62判斷在狀態 60由初始狀態 62開始遞變的過程中，有哪些狀態單元 52之狀態輸出會維持不變。找出狀態輸出維持不變的狀態單元後，時脈閘除電路 66就會停止提供時脈到這些狀態單元 52，以減少時脈的功率消耗。當然，對於狀態輸出會遞變的狀態單元，時脈閘除電路 66還是會統一以一時脈 CLK1來當作觸發時脈，以觸發各狀態單元之狀態輸出隨時間遞變。

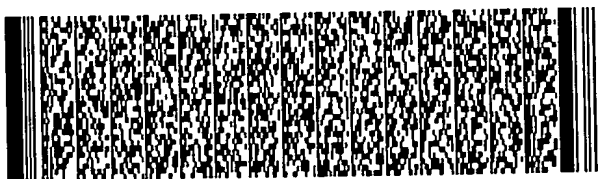
請參考圖七。為具體說明本發明之實施情形，現以本發明之精神實施於一 4位元倒數二元計數器時之相關配置來進一步描述本發明之實施方法；圖七即為本發明中計數器 70之電路方塊圖。類似於圖二中計數器 30的配置，計數器 70中具有四個狀態單元 71，每一狀態單元分別用來產生一對應的位元 D1至 D4作為其狀態輸出；集合位元 D1至 D4，就形成計數器 70的狀態 76（也就是計數器 70的計數值，其中位元 D4為最重要位元，MSB，即 Most Significant Bit）。各狀態單元 71中的基本結構（如序向邏輯電路、組合邏輯電路）可以由圖二中各狀態單元 31類推而得，在不妨礙本發明技術揭露的情形下，於此不再重複。為了凸顯本



五、發明說明 (12)

發明之重點，圖七中各狀態單元 71 僅繪出一對應的設定端 St 及一時脈端 TK，各狀態單元 71 可依據設定端 St 輸入的資料設定對應狀態輸出的初始值，並由時脈端 TK 輸入之時脈觸發而使對應狀態輸出隨時間遞變。此外，計數器 70 中也設有一輔助電路 75，用來接收一初始值載入致能訊號 EN3 之觸發而根據一初始狀態 74 來設定各狀態單元狀態輸出的初始值。對應於由位元 D1 至 D4 所組合出來的狀態 76，初始狀態 74 也是由四個位元 D1i 至 D4i 所形成。而位元 D1i 至 D4i 就分別為位元 D1 至 D4 的初始值。

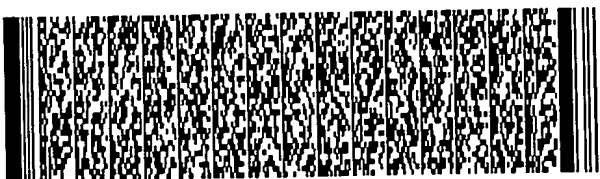
本發明之計數器 70 與圖二中習知計數器 30 最重要的相異處，在於本發明之計數器 70 另設有一時脈閘除電路 80。時脈閘除電路 80 可將一時脈 CLK2 選擇性地供應至特定的狀態單元 71。在本實施例中，時脈閘除電路 80 設有及閘 (AND gate) A1 至 A5、或閘 (OR gate) O1 至 O3 以及一鎖定 (latch) 電路 76。其中及閘 A1 至 A4 分別電連於用來產生位元 D1 至 D4 的四個狀態單元之時脈端 TK；換句話說，及閘 A1 至 A4 及運算 (AND operation) 的結果就分別是各狀態單元 71 的觸發時脈。及閘 A5 則用來依據一計數致能訊號 EN4 的觸發而將時脈 CLK2 導入至時脈閘除電路 80。當輔助電路 74 受初始值載入致能訊號 EN3 之觸發而設定各狀態單元 71 之初始值時，也同樣會觸發鎖定電路 76 將初始狀態 74 的各個位元 D1i 至 D4i 儲存鎖定至鎖定電路 76 中；而時脈閘除電路 80 中的各個或閘與及閘就能依據鎖定電路 76 中的位元 D1i 至 D4i



五、發明說明 (13)

來選擇性地將時脈 CLK2提供至某些狀態單元 71。舉例來說，當計數器 70用來數出 8時，初始狀態 74會是「0 1 1 1」（即圖四所示的情形）；換句話說，位元 D4i至 D1i分別是數位的「0」、「1」、「1」、「1」。此時或閘 01至 03的輸出分別是「1」、「1」、「1」。等到計數致能訊號 EN4由數位「0」轉變為「1」而觸發計數器 70開始計數時，時脈 CLK2就會由及閘 A5傳輸至及閘 A1，並分別由及閘 A1、A2、A3將時脈 CLK2供應至位元 D1、D2及 D3對應的狀態單元。至於對應於位元 D4、狀態在倒數過程中一直不會改變的狀態單元，由於及閘 A4一輸入端為位元 D4i的數位「0」，所以及閘 A4就會將時脈 CLK2閘除，不會將其傳輸至位元 D4對應的狀態單元，使得該狀態單元不會受到時脈觸發，並使位元 D4能一直維持初始值（也就是位元 D4i之值）。這樣一來，時脈 CLK2就不會因為要驅動位元 D4對應狀態單元而多消耗功率，計數器 70也還是能正常地依據圖四中的狀態遞變而由初始狀態「0 1 1 1」倒數至「0 0 0 0」。

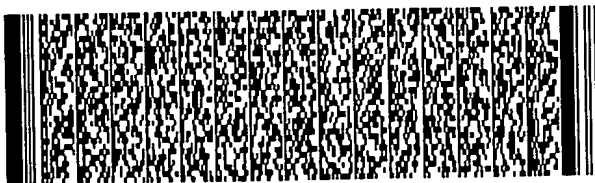
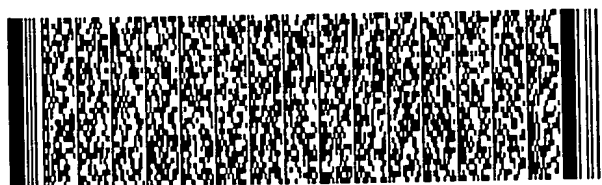
同理，若計數器 70要由「0 0 1 1」倒數至「0 0 0 0」而數出 4，則時脈閘除電路 80中的或閘 03至 01的或運算結果分別是數位「0」、「1」、「1」，使得時脈 CLK2僅會由及閘 A2與 A1傳輸至位元 D2、D1對應的狀態單元；而及閘 A3的輸出則為數位「0」，及閘 A4的兩輸入端都是數位「0」，故時脈 CLK2就不需觸發位元 D3、D4分別對應的兩



五、發明說明 (14)

個狀態單元。計數器 70 也能由初始狀態「0 0 1 1」隨時脈之觸發而遞變為「0 0 1 0」、「0 0 0 1」最後數至「0 0 0 0」。

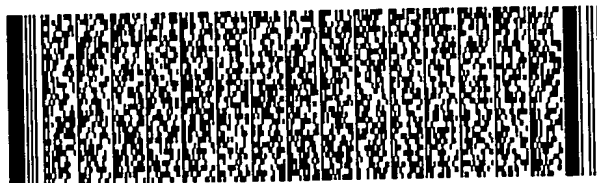
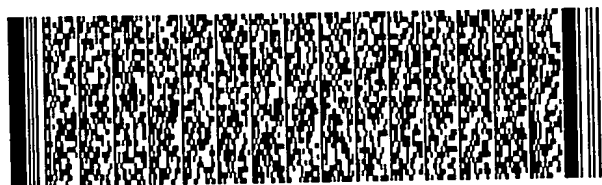
請參考圖八。圖八為本發明之精神運用於一 N 位元倒數二元計數器 90 時，其時脈開除電路 94 主要相關配置之示意圖。計數器 90 中具有複數個狀態單元 $U(N)$ 、 $U(N-1)$ 、等等至 $U(n)$ 、 $U(1)$ ；分別用來產生位元 $D(N)$ 、 $D(N-1)$ 等等至 $D(n)$ 、 $D(1)$ 等之狀態輸出，並由這些位元形成計數器 90 的狀態 92。為凸顯時脈開除電路 94 的基本設計精神，在此一般化的情形中，各狀態單元僅繪出對應的時脈端 TK ，用來接收時脈之觸發；用來設定各狀態位元初始值之輔助電路則予以省略。而時脈開除電路 94 中設有及閘 $A(N)$ 、 $A(N-1)$ 至 $A(n)$ 、 $A(1)$ 、 $A(0)$ ，以及或閘 $O(N-1)$ 、 $O(n)$ 等等至 $O(1)$ ；鎖定電路 96 則用來配合初始值載入致能訊號 $EN5$ 之觸發而儲存各狀態單元對應位元之初始值，也就是位元 $Di(N)$ 、 $Di(N-1)$ 等等至 $Di(n)$ 、 $Di(1)$ 。及閘 $A(0)$ 配合計數致能訊號 $EN6$ 將一時脈 $CLK3$ 引入時脈開除電路 94，及閘 $A(N)$ 至 $A(1)$ 則分別對應於狀態單元 $U(N)$ 至 $U(1)$ 。如圖八中狀態單元 $U(n)$ 一般性配置所顯示的，狀態單元 $U(n)$ 之時脈端 TK 由及閘 $A(n)$ 的輸出來觸發，及閘 $A(n)$ 的輸出端也於節點 Na 電連於及閘 $A(n+1)$ 的一個輸入端；而及閘 $A(n)$ 的一輸入端連接於或閘 $O(n)$ 的輸出端，另一輸入端則於節點 Nb 連接於及閘 $A(n-1)$ 的輸出端。或閘 $O(n)$ 的輸出端另外於節點



五、發明說明 (15)

N_d 電連於或開 $O(n-1)$ 的一個輸入端，或開 $O(n)$ 的兩個輸入端則分別用來接收位元 $D_i(n)$ (也就是位元 $D(n)$ 的初始值)，以及於節點 N_c 電連於或開 $O(n+1)$ 的輸出端。當此 N 位元計數器 90 用來數出 $2L$ (2 的 L 次方) 時， $D_i(1)$ 至 $D_i(L)$ 為數位「1」， $D_i(L+1)$ 至 $D_i(N)$ 為數位「0」(即以數位 $D(n)$ 為狀態 92 最重要位元)。因此，或開 $O(1)$ 至 $O(L)$ 或運算的輸出皆為數位「1」，而其餘或開 $O(L+1)$ 至 $O(N-1)$ 皆輸出數位「0」。而及開 $A(1)$ 至 $A(L)$ 的一個輸入端為數位「1」，就可將時脈 CLK_3 傳輸至狀態單元 $U(1)$ 至 $U(L)$ ，以觸發這些狀態單元更新位元 $D(1)$ 至 $D(L)$ 。而及開 $A(L+1)$ 一輸入端會接收及開 $A(L)$ 輸出的時脈，但另一輸入端為數位「0」而停止將時脈傳輸至狀態單元 $U(L+1)$ 。而及開 $A(L+2)$ 至 $A(N)$ 兩輸入端都為數位「0」，當然也不會觸發狀態單元 $U(L+2)$ 至 $U(N)$ 。這樣一來，計數器 90 就不必觸發狀態不會改變的狀態單元 $U(L+1)$ 至 $U(N)$ ，而狀態單元 $U(L)$ 至 $U(1)$ 也就能遞變倒數至各位元皆為數位「0」之狀態 92 以數出 $2L$ 。當然，圖七、圖八所顯示的僅為本發明中時脈開除電路一實施例，其他可達同樣功能的電路也可應用於本發明之時脈開除電路，最重要的是能夠達到以初始狀態來判斷各狀態單元之狀態輸出是否會改變，並正確的將時脈供應給狀態輸出會改變的狀態單元，並停止供應時脈至狀態輸出不會改變的狀態單元。

總結來說，在習知計數器或狀態機在使用時，即使有



五、發明說明 (16)

某些狀態單元的狀態輸出不會改變，這些狀態單元也都還會被時脈觸發；使得時脈還要消耗額外的功率來驅動這些狀態單元，會造成系統資源的額外消耗。相較之下，本發明則以一時脈閘除電路來根據初始狀態找出狀態輸出不會改變的狀態單元，並停止將時脈提供給這些狀態單元，僅需將時脈提供至狀態會改變的狀態單元；這樣一來，就可減少時脈驅動的功率需求，避免系統功率及資源的無謂消耗，提升微處理機系統資源運用的效率。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明：

- 圖一為一習知狀態機之功能方塊圖。
圖二為一習知計數器之功能方塊圖。
圖三、四為圖二中計數器狀態遞變的時序圖。
圖五為一典型互補金氧半電晶體之電路示意圖。
圖六為本發明中狀態機功能方塊之示意圖。
圖七、圖八為本發明中計數器功能方塊之示意圖。

圖式之符號說明

10、50	狀態機
12、31、52、71、 $U(1)-U(N)$	狀態單元
14、54	序向邏輯電路
16、56	組合邏輯電路
18、58	狀態位元
20、36、60	狀態
22、34、62、74	初始狀態
24	位元
30、70、90	計數器
32	正反器
35、75	輔助電路
37、A1-A4、 $A(1)-A(N)$	及閘
38	波形



圖式簡單說明

40	邏輯閘
66、80	時脈閘除電路
76	鎖定電路
EN1、EN3、EN5	初始值載入致能訊號
EN2、EN4、EN6	計數致能訊號
G	地端
Vd	偏壓源
T	時段
M1-M4	電晶體
B1-B4、A-C、D1-D4、D1i-D4i、D(1)-D(N)、	
Di(1)-Di(N)	位元
01-03、0(1)-0(N)	或閘
D0、D1	輸入埠
Q0、Q1	輸出埠
T0、T1、CK、TK	時脈端
S0、S1	設定埠
Q、Q'	輸出端
T	輸入端
CLK0-CLK2、CLK	時脈
S、St	設定端
N1-N3、Na-Nd	節點



六、申請專利範圍

1. 一種計數器，其包含有：

複數個狀態單元，各狀態單元用來產生一狀態輸出；而每一狀態單元具一對應的時脈端，用來接受一具有複數個脈衝之時脈；

其中當每一狀態單元由對應之時脈端接收一時脈時，該狀態單元可根據一預設之原則以在接收該時脈之不同脈衝時更新其對應之狀態輸出；以及

一時脈閘除電路 (clock gating circuit)，電連於該複數個狀態單元，用來僅根據一固定的初始值於該複數個狀態單元中選擇出至少一第一狀態單元及至少一第二狀態單元，以將一觸發時脈提供至各第一狀態單元的時脈端，並停止提供該觸發時脈至各第二狀態單元的時脈端，使得當各第一狀態單元依據該觸發時脈之不同脈衝而更新各第一狀態單元之對應狀態輸出時，各第二狀態單元對應之狀態輸出會維持不變；且該時脈閘除電路不會依據各第一狀態單元之狀態輸出變化而將該觸發時脈提供至各第二狀態單元，亦不會停止提供該觸發時脈至各第一狀態單元。

2. 如申請專利範圍第 1 項之計數器，其中當該初始值改變時，該時脈閘除電路會於該複數個狀態單元中對應地選擇出不同的第一狀態單元及第二狀態單元。

3. 如申請專利範圍第 1 項之計數器，其中每一狀態單元另有一設定端，用來接受一初始狀態，使得當該狀態單元

六、申請專利範圍

由對應之時脈端接收一時脈之觸發時，會先輸出一對應該初始狀態之初始狀態輸出，再依據該預設之原則於接收該時脈之後續脈衝時，更新對應之狀態輸出。

4. 如申請專利範圍第3項之計數器，其中當該時脈開除電路依據該初始值選擇該第一狀態單元及該第二狀態單元時，該計數器另可根據該初始值由各狀態單元之設定端設定各狀態單元的初始狀態。

5. 如申請專利範圍第1項之計數器，其另包含有一鎖定電路，連接於該時脈開除電路，用來儲存該初始值。

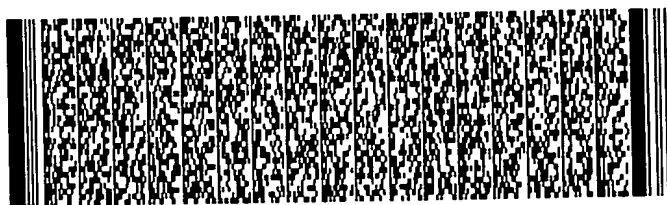
6. 如申請專利範圍第1項之計數器，其中各狀態單元包含有一正反器。

7. 一種使用於一種計數器的方法，其中該計數器包含有：

複數個狀態單元，各狀態單元用來產生一狀態輸出；而每一狀態單元具一對應之時脈端，用來接受一具有複數個脈衝之時脈；

其中每一各狀態單元由對應之時脈端接收一時脈時，該狀態單元可根據一預設之原則以在接收該時脈之不同脈衝時更新其對應之狀態輸出；而該方法包含有：

僅根據一固定的初始值於該複數個狀態單元中選擇出



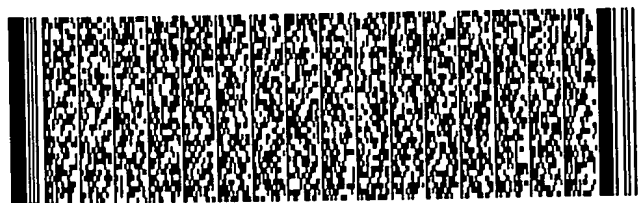
六、申請專利範圍

至少一第一狀態單元及至少一第二狀態單元，以將一觸發時脈提供至各第一狀態單元的時脈端，並停止提供該觸發時脈至各第二狀態單元的時脈端，使得當各第一狀態單元依據該觸發時脈之不同脈衝而更新各第一狀態單元之對應狀態輸出時，各第二狀態單元對應之狀態輸出會維持不變。

8. 如申請專利範圍第7項之方法，其中當根據該初始值選擇出第一狀態單元及第二狀態單元時，係不會依據各第一狀態單元之狀態輸出變化而將該觸發時脈提供至各第二狀態單元，亦不會停止提供該觸發時脈至各第一狀態單元。

9. 如申請專利範圍第7項之方法，其中當根據該初始值選擇出第一狀態單元及第二狀態單元時，係針對不同的初始值，於該複數個狀態單元中對應地選擇出不同的第一狀態單元及第二狀態單元。

10. 如申請專利範圍第7項之方法，其中每一狀態單元另有一設定端，用來接受一初始狀態，使得當該狀態單元由對應之時脈端接收一時脈之觸發時，會先輸出一對應該初始狀態之初始狀態輸出，再依據該預設之原則於接收該時脈之後續脈衝時，更新對應之狀態輸出。



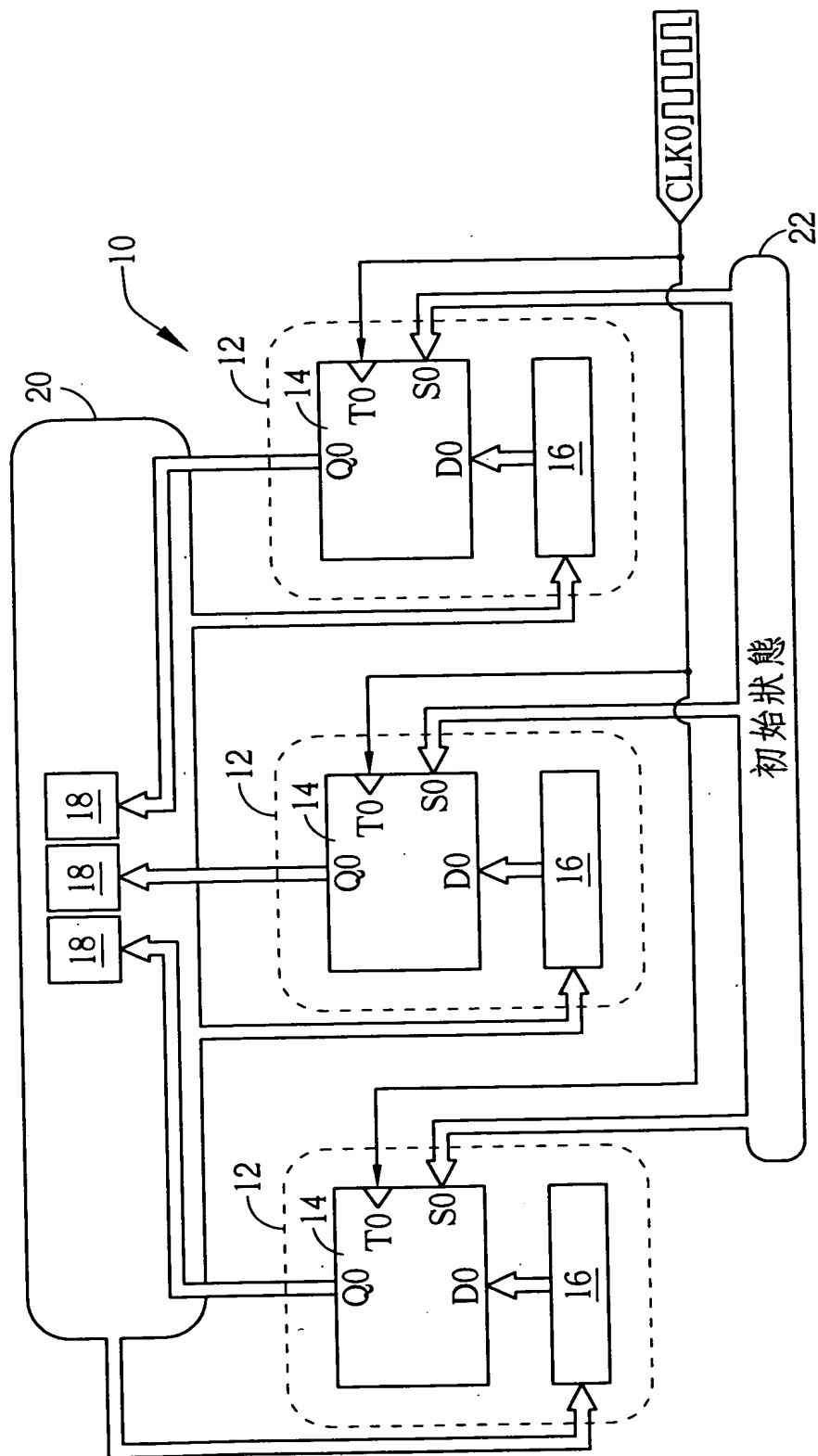
六、申請專利範圍

11. 如申請專利範圍第 10 項之方法，其另包含有：當依據該初始值選擇該第一狀態單元及該第二狀態單元時，另根據該初始值由各狀態單元之設定端設定各狀態單元的初始狀態。

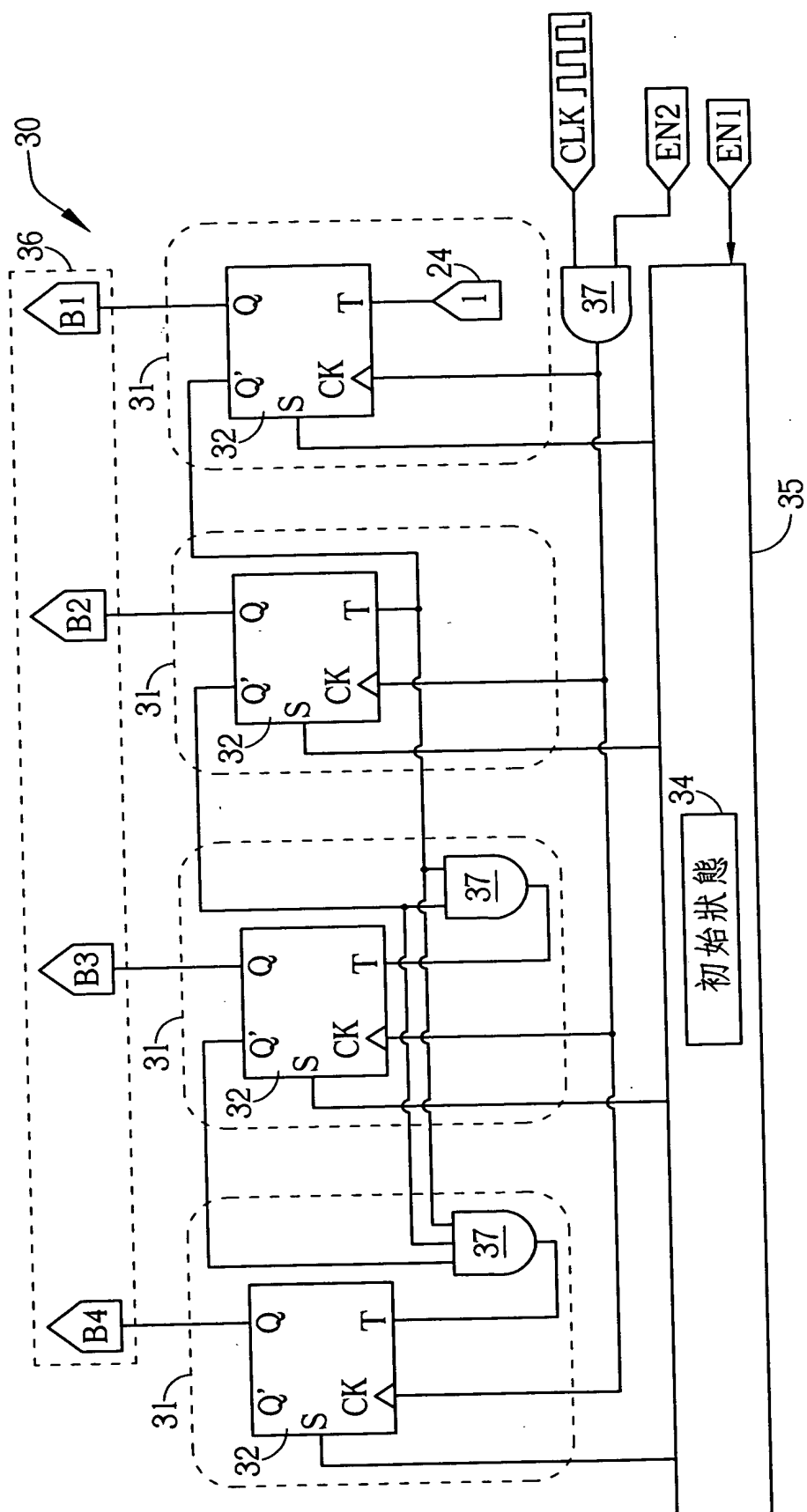
12. 如申請專利範圍第 7 項之方法，其中該計數器另包含有一鎖定電路，連接於該時脈闌除電路，用來儲存該初始值。

13. 如申請專利範圍第 7 項之方法，其中各狀態單元包含有一正反器。

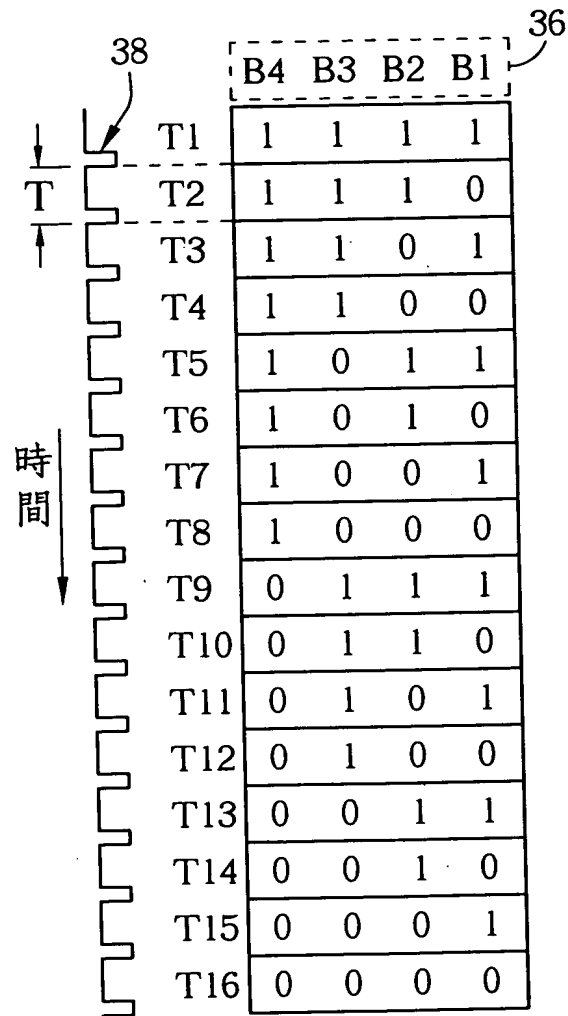




圖一



二回



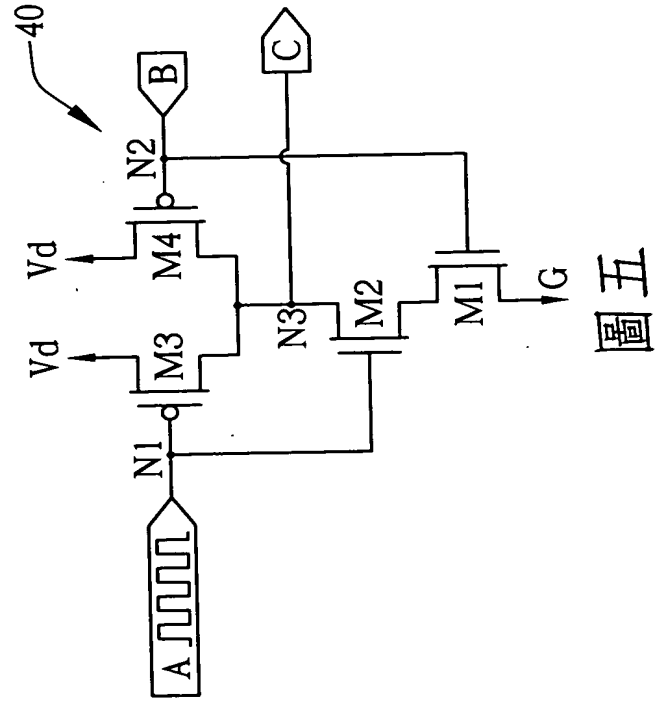
圖三

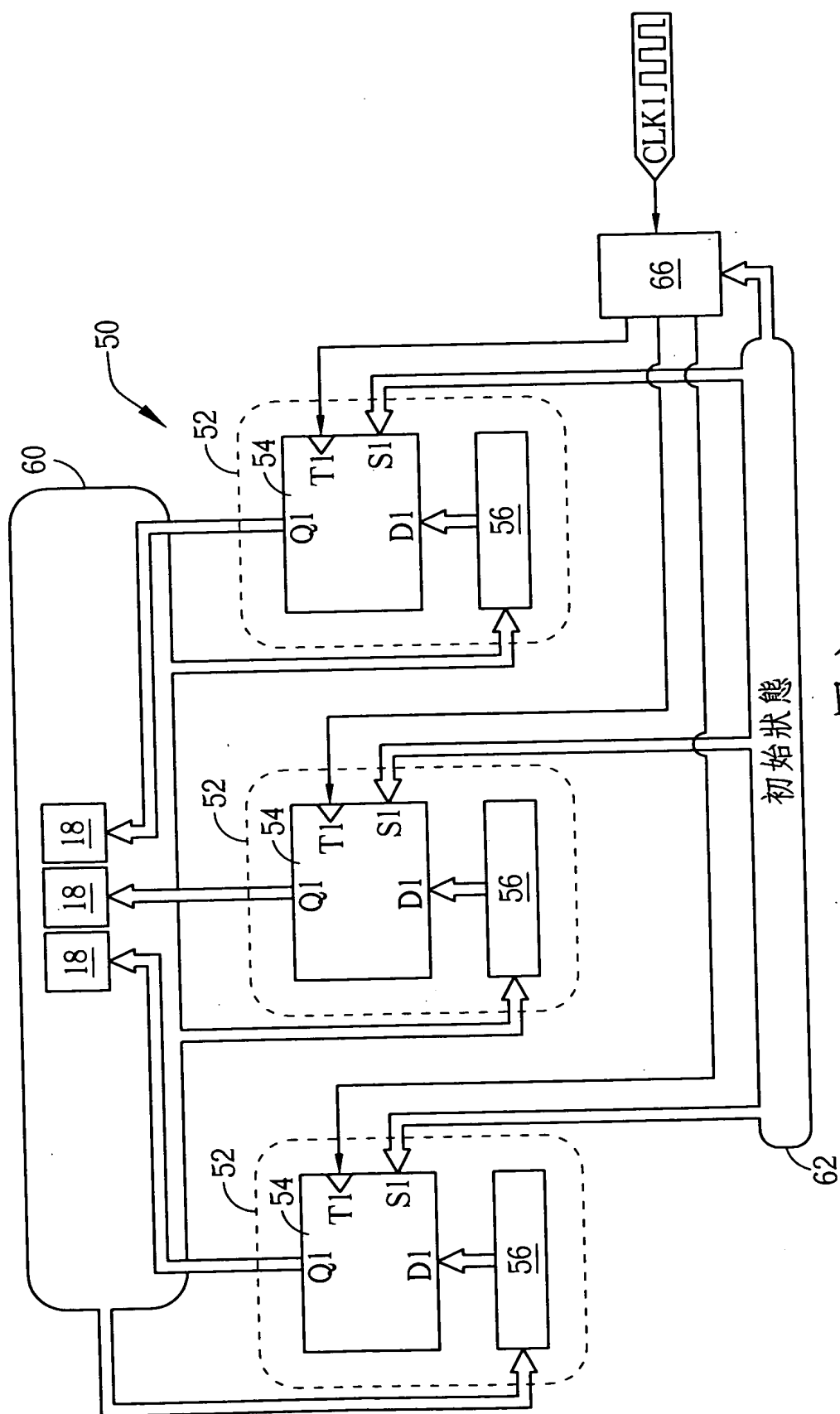
36

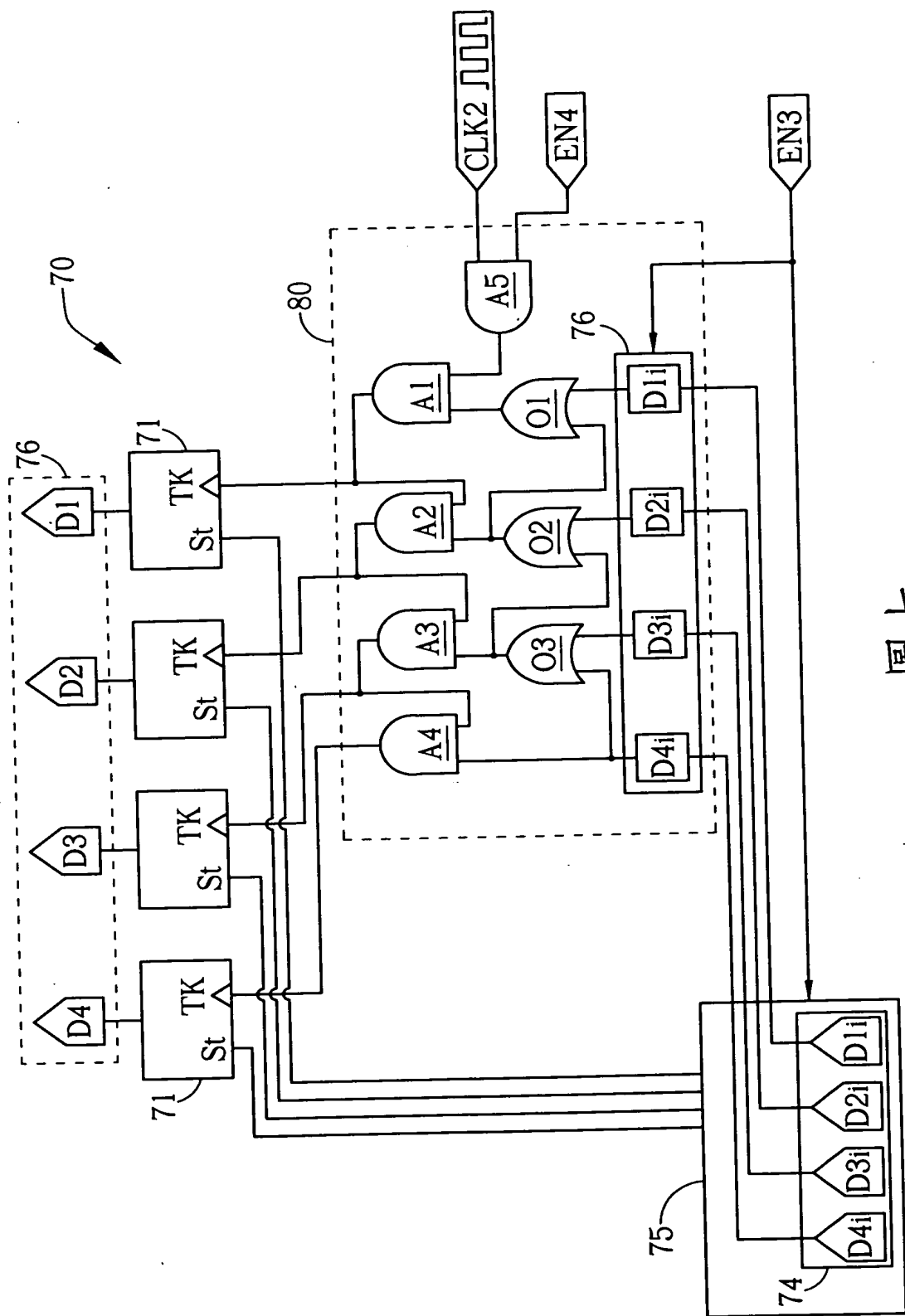
	B4	B3	B2	B1
T1	0	1	1	1
T2	0	1	1	0
T3	0	1	0	1
T4	0	1	0	0
T5	0	0	1	1
T6	0	0	1	0
T7	0	0	0	1
T8	0	0	0	0

時間 →

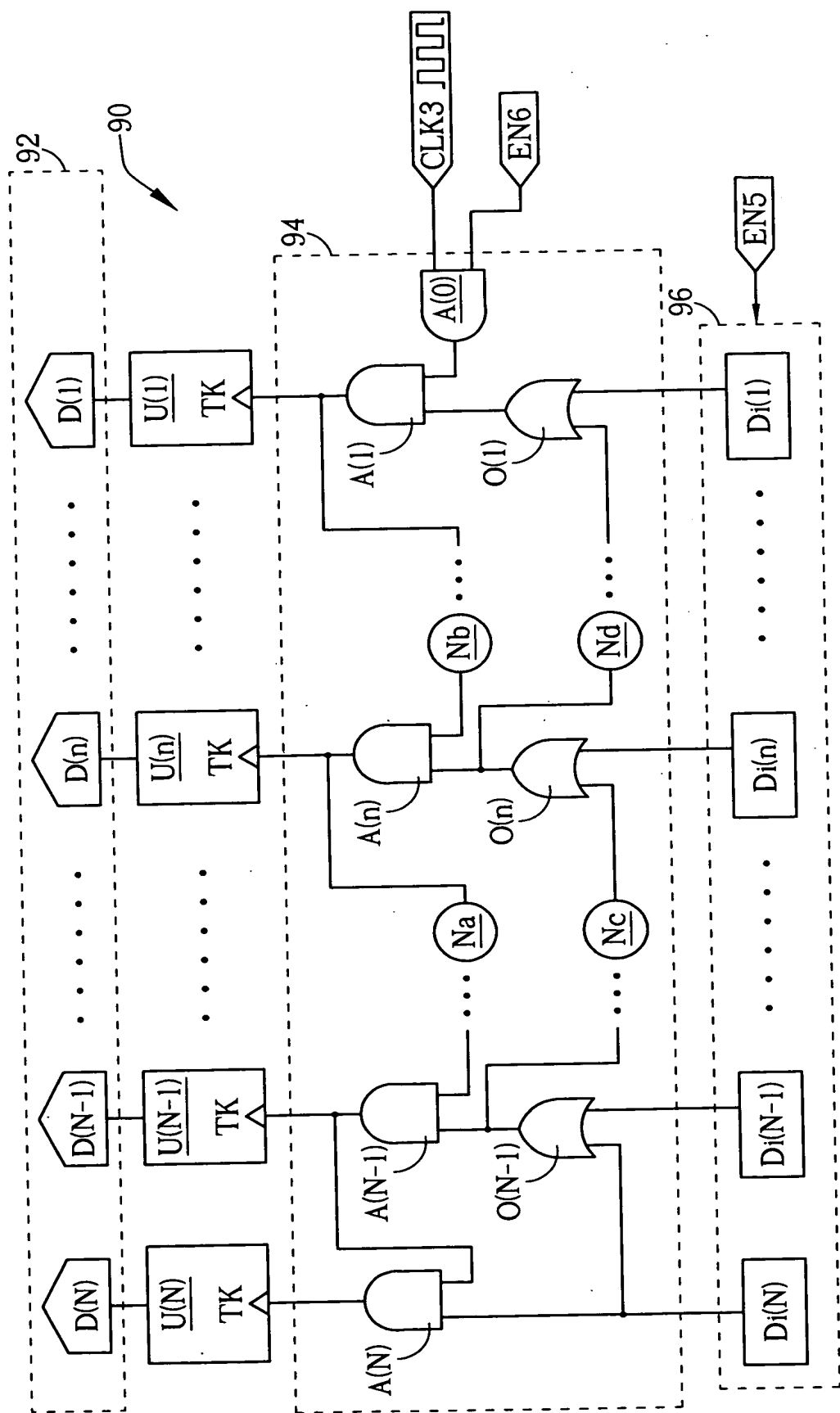
圖四







圖七

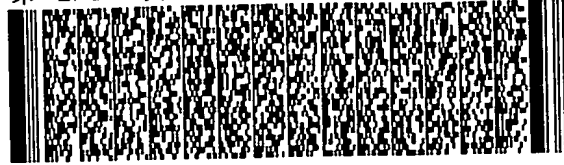


圖八

第 1/26 頁



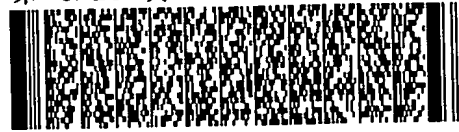
第 2/26 頁



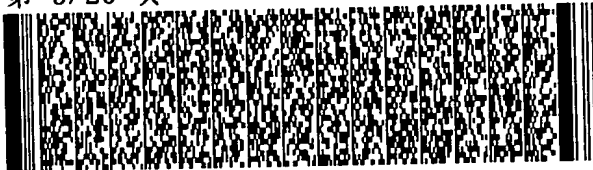
第 2/26 頁



第 3/26 頁



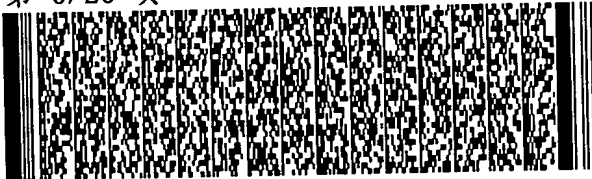
第 5/26 頁



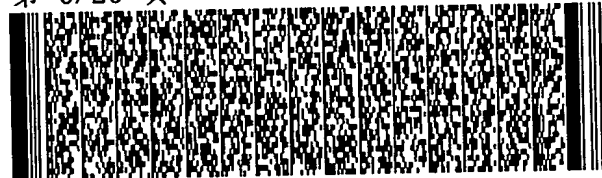
第 5/26 頁



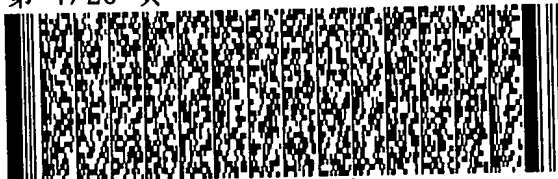
第 6/26 頁



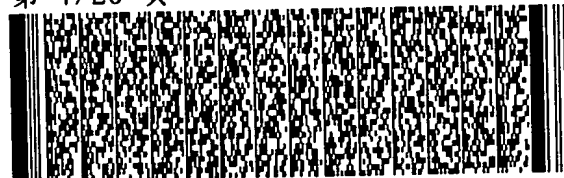
第 6/26 頁



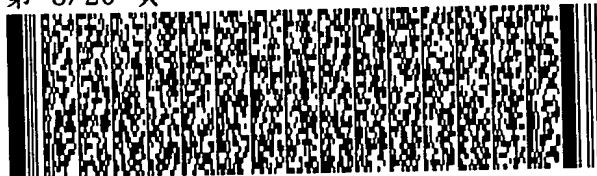
第 7/26 頁



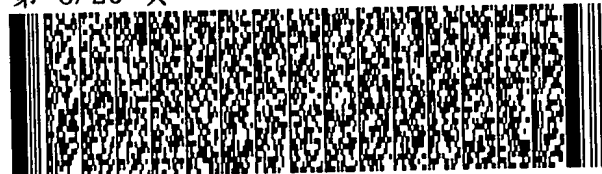
第 7/26 頁



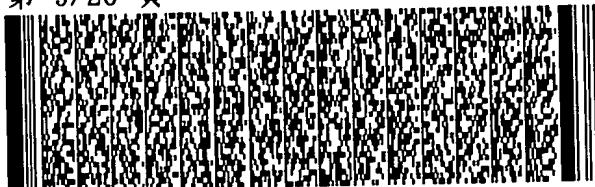
第 8/26 頁



第 8/26 頁



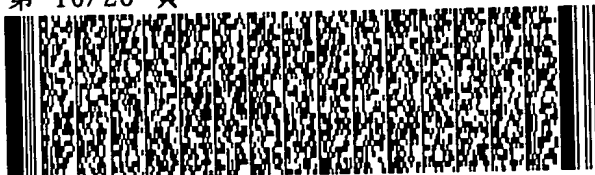
第 9/26 頁



第 9/26 頁



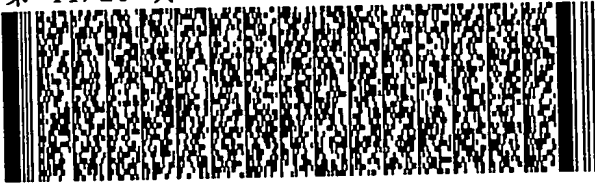
第 10/26 頁



第 10/26 頁



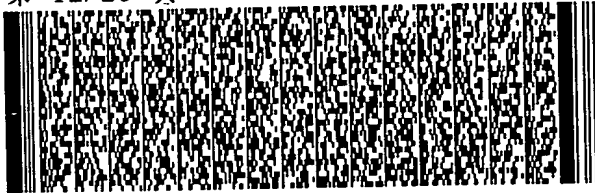
第 11/26 頁



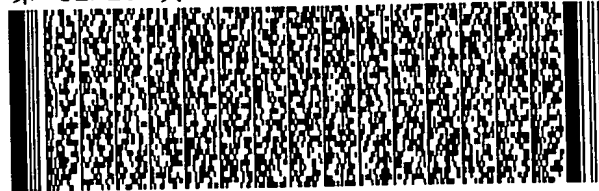
第 11/26 頁



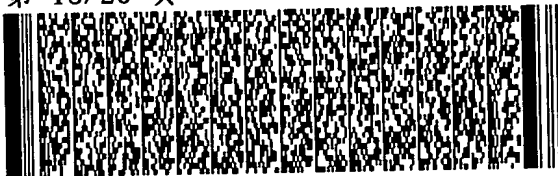
第 12/26 頁



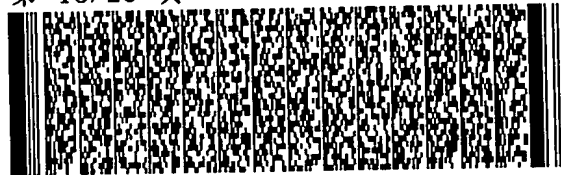
第 12/26 頁



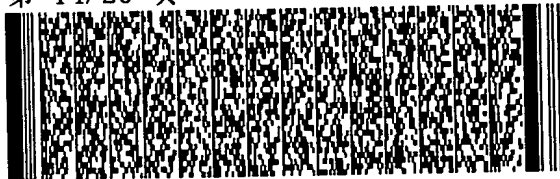
第 13/26 頁



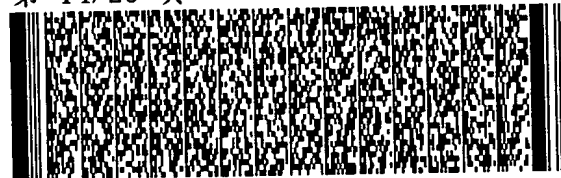
第 13/26 頁



第 14/26 頁



第 14/26 頁



第 15/26 頁



第 15/26 頁



第 16/26 頁



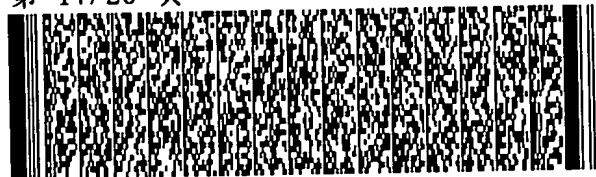
第 16/26 頁



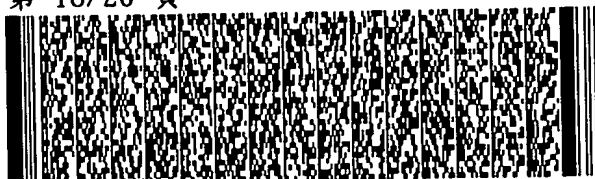
第 17/26 頁



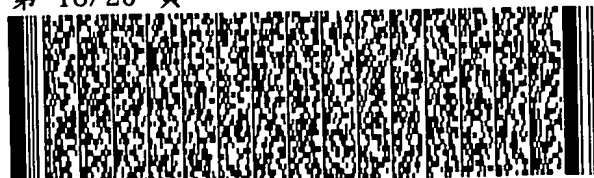
第 17/26 頁



第 18/26 頁



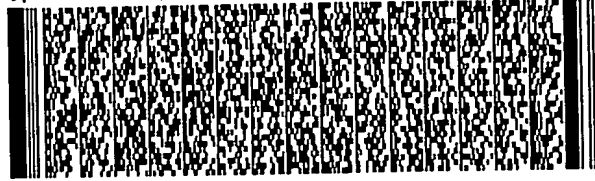
第 18/26 頁



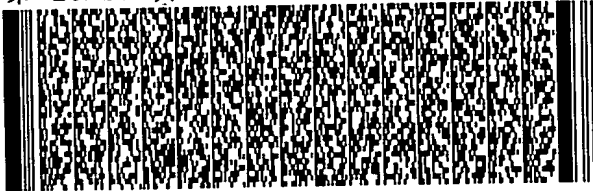
第 19/26 頁



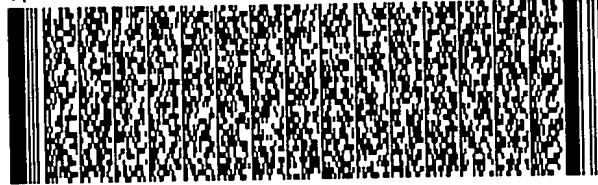
第 19/26 頁



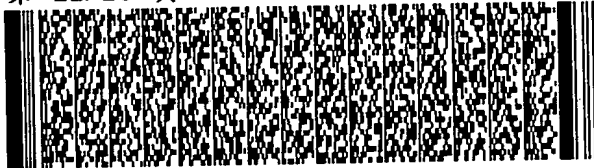
第 20/26 頁



第 21/26 頁



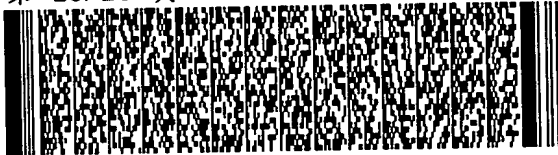
第 22/26 頁



第 23/26 頁



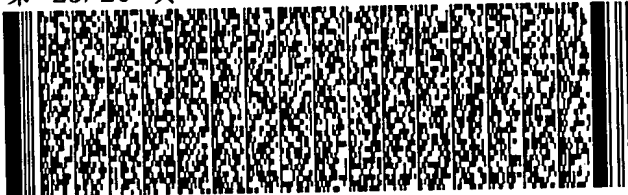
第 23/26 頁



第 24/26 頁



第 25/26 頁



第 26/26 頁

